TTL و CMOS:

إشكالية:

إن أهم التكنولوجيات المستعملة لإنجاز الأنظمة الآلية والتحكم فيها تنحصر في ثلاثة تكنولوجيات فقط هي:

التكنولوجيا الهوائية ، التكنولوجيا الكهربائية والتكنولوجيا الإلكترونية.

والجدول التالي يوضح أهم ميزات وسلبيات هذه التكنولوجيات:

نوع التكنولوجيا	زمن الاستجابة	الاستطاعة	سهولة التشغيل	الوضائف الموجودة	التوفر	السعر	الاستطاعة المنتجة	الطاقة المستعملة
الهوائية	3ms	من 2bar إلى 8bar	الربط معقد	OU , ET, OUI, NON	قليلة	مكلف	200L/ min	كهربائية - أو ~
الكهربائية	CC: 0.2s CA: من 0.75s إلى 60s	من 1.5W إلى 2W	أقل تعقيد	OU , ET, OUI, NON	قليلة	متوسط التكلفة	مغلوق للتمرير أو مفتوح للتمرير	كهربائية - أو ~
الالكترونية	10ns	10mW	الربط سهل	OU , ET, OUI, NON, XOR	متوفرة	قليل التكلفة	بين 0.4V و 2.4V	كهربائية -

1/ تعريف الدارة المندمجة:

عبارة عن رقاقة صغيرة من أحادي بلور السيليسيوم تدعى PUCE.ذات بضع المليمترات المُربعة، تحتوي بداخلها على مجموعة من المركبات الإكترونية (مقاومات، ثنائيات، مقاحل و في بعض الأحيان مكثفات)، توضع داخل علبة من البلاستيك أو السيراميك تكون موصولة خارجيا بأقطاب يتراوح عددها بين 8 و 64 قطب

2 / تصنيف الدارات المندمجة :

تصنف الدارات المندمجة حسب عدد المركبات المدمجة في mm^2. و يمكن تمييز الأنواع التالية:

SSI (Single Scale Integration) intégration à faible échelon:

تحتوي أقل من 10 بوابات منطقية (حوالي 100 مقحل في cm^2)

MSI (Medium Scale Integration) intégration à moyenne échelon :

تحتوي مابين 10 و 100 بوابة منطقية (حوالي 1000 مقحل في cm^2)

LSI (Large Scale Integration) intégration à grande echelon :

تحتوي من 100 الى 1000 بوابة منطقية (من 10^4 إلى 10^5 مقحل في cm^2)

VLSI (Very Large Scale Integration) intégration à très grande echelon:

تحوي على ما يفوق 1000 بوابة منطقية (من 10^5 إلى 10^6 مقحل في cm^2)

3 /عائلات الدارات المندمجة

توجد عدة عائلات للدارات المندمجة ، و ذلك حسب تكنولوجية صناعتها ، من بين العائلات الأكثر استعمالا و معروفة تجاريا: **TTL و CMOS**

- **TTL :** (Transistor Transistor Logic) : مقحل مقحل منطقي

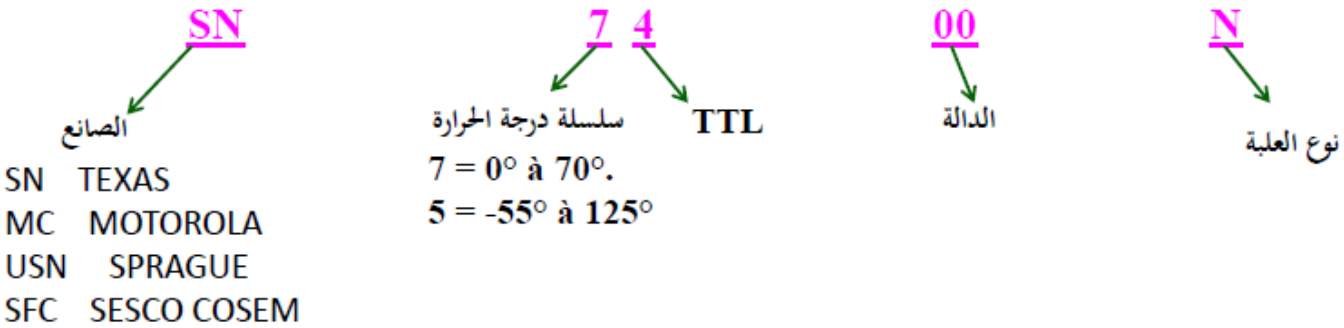
تعتبر أشهر العائلات المنطقية وأكثرها استعمالا وأقلها تكلفة، وتعتمد في صناعتها على تكنولوجيا المقاحل ثنائية القطب « Bipolaire »

- **CMOS:** (Complementary Metal Oxyde Semiconducteur) :
معدن أكسيد شبه ناقل مكمل

تختلف العائلة *CMOS* عن عائلة TTL من الناحية التكنولوجية، حيث تعتمد في صناعتها على مقاحل من نوع: MOSFET

ترميز التسمية المستعملة في الدارات المندمجة

العائلة TTL



SN TEXAS
MC MOTOROLA
USN SPRAGUE
SFC SESCO COSEM

7 = 0° à 70°.
5 = -55° à 125°

العائلة CMOS

SCL SOLID STATE SCIENTIFIC MOTOROLA
MC MOTOROLA
CD ou TP TEXAS
CD NATIONAL SEMICONDUCTOR

4/ الخصائص الرئيسية للدارات المندمجة المنطقية : نذكر منها:

1.4 / توتر التغذية : (Tension d'alimentation)

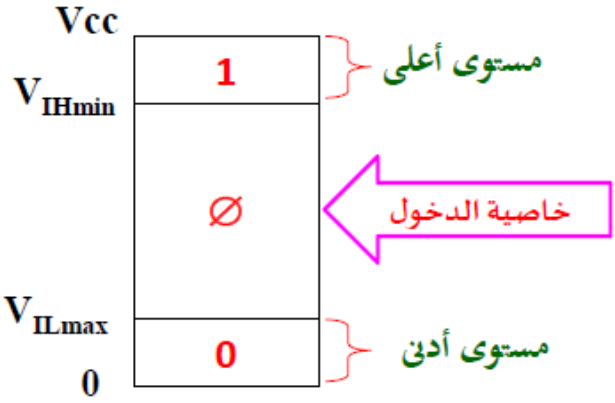
المستوى المنطقي «0 (Low :L)» و «1 (High :H)» لا يُناسب توترا مُعينا لكن مجالا توتريا.

نسمي قيم توترات الدخول بـ « Input (In) ».

$V_{IH\,min}$: هو التوتر الأدنى للدخول الذي يضمن المستوى المنطقي الأعلى.

$V_{IL\,max}$: التوتر الأعظمي للدخول الذي يضمن المستوى المنطقي الأدنى.

نلخص هذه المستويات بواسطة :

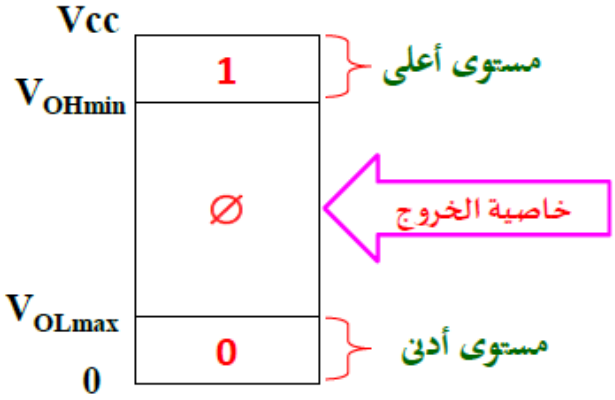


نسمي قيم توترات الخروج بـ: « Output .(Out) »

$V_{OH\,min}$: التوتر الأدنى للخروج في الحالة المنطقية العليا.

$V_{OL\,max}$:التوتر الأعظمي للخروج في الحالة المنطقية الدنيا.

نلخص هذه المستويات بواسطة :



بصفة عامة :

حتى نطبق في المدخل :

- 0 منطقي يجب أن : $0 \leq V_{In} \leq V_{ILmax}$
- 1 منطقي يجب أن : $V_{IHmin} \leq V_{In} \leq V_{CC}$

إذا كان المستوى المنطقي في المخرج :

- 1 منطقي فإن : $V_{OHmin} \leq V_{Out} \leq V_{CC}$
- 0 منطقي فإن : $0 \leq V_{Out} \leq V_{ILmax}$

العائلة	التغذية Vcc	توتر الدخول		توتر الخروج	
		V_{IHmim}	V_{ILmax}	V_{OHmim}	V_{OLmax}
TTL	5V ± 5%	2V	0.8V	2.4V	0.4V
CMOS	من 3V إلى 15V	0.55V	0.45V	0.95V	0.05V

ملاحظة نرمز: – توتر التغذية بالنسبة لـTTL هو V_{cc} و CMOS هو V_{dd}

– للهيكل بالنسبة لـ TTL هو GND و CMOS هو V_{ss}

2.4 / الاستطاعة الممتصة (Puissance absorbée) :

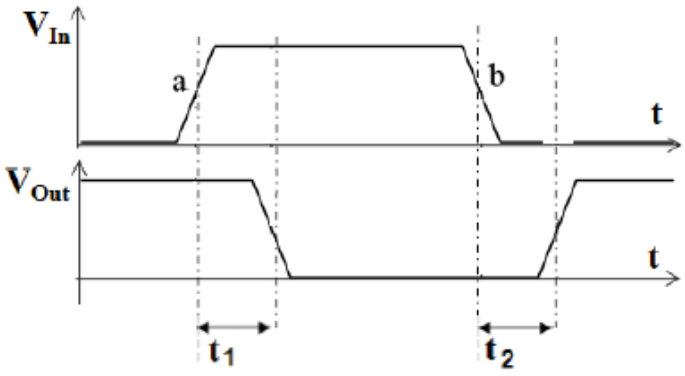
هي الاستطاعة المتوسطة المستهلكة من طرف الدارة المندمجة ، تختلف حسب العملية المنجزة و المستوى المنطقي المطبق.

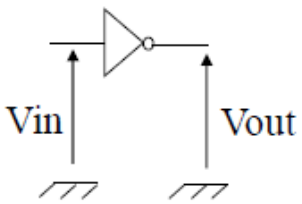
3.4 / زمن انتشار الإشارة (Temps de propagation) :

هو زمن تأخير استجابة المخرج المنطقي، عندما يتغير مدخله .

إذا اعتبرنا بوابة عاكسة من عائلة TTL فإن :

- t_1: زمن تأخير لكي نمر من المستوى المنطقي 1 إلى 0.
- t_2: زمن تأخير لكي نمر من المستوى المنطقي 0 إلى 1.





5/ مختلف التكنولوجيات للعائلات المنطقية

1.5 / العائلة المنطقية TTL : نجد :

TTL Standard : 74XX سلسلة ذات استهلاك مرتفع و سرعة ضعيفة

TTL low power 74LXX سلسلة ذات استهلاك ضعيف و لكن زمن انتشار طويل

TTL schottky : 74SXX سلسلة سريعة مصنوعة من مقاحل سريعة تدعى **schottky** و لكن تتميز باستهلاكها الكبير للتيار

TTL low power schottky : 74LSXX سلسلة سريعة مصنوعة من مقاحل ***schottky*** ذات استهلاك ضعيف للطاقة

TTL fast :74FXX تتميز بسرعة أكبر و إستطاعة مستهلكة أقل من السلاسل السابقة

TTL advanced schottky : 74ASXX

TTL advanced low power schottky: 74ALSXX

تكنولوجيا متقدمة تتميز باستهلاكها الأقل للطاقة من كل السلاسل السابقة لكنها أقل سرعة من السلسلة F

L : استهلاك ضعيف للطاقة

S : مصنوعة من مقاحل Schottky

F : سريعة

A : تكنولوجيا متقدمة

2.5 / العائلة المنطقية CMOS : نجد :

السلسلة الكلاسيكية : 40XX ، 74XXC

السلسلة السريعة : و نجد 74HC ، 74HCT ، 74AHC ، 74AHCT

السلسلة 74LV : تغذى بتوتر منخفض (Low Voltage)، من 1.2V إلى 3.6V.

HC :Higt-Speed CMOS Logic

HCT : Higt-Speed CMOS Logic compatible TTL

AHC :Advanced Higt-Speed CMOS Logic

AHCT :Advanced Higt-Speed CMOS Logic compatible TTL

LV: Low Voltage HCMOS Technology

جدول مقارنة بين العائلة TTL و CMOS

FAMILLE	زمن الانتشار nS	الاستطاعة المستهلكة mW	التواتر MHz
TTL standard	10	10	25
TTL H	6	10	43
TTL L	35	1	3
TTL S	3	10	110
TTL LS	10	2	33
CMOS 5 V	40	100 nW	8
CMOS 10 V	20	10 nW	16

ملاحظات: 1 – الدارات المدمجة مصنوعة في أغلب الحالات تحت : 4 بوابات / مدخلين ،

3 بوابات / 3 مداخل ، بوابتان / 4 مداخل ، بوابة / 8 مداخل

2 – المربط في الهواء يناسب مستوى منطقي عالي

الجامع :

نشاط 1 : ليكن العددين التاليين :

$$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$$

$$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$$

انجز التصميم الالكتروني الذي يمكننا من جمع بيتين a_2 مع b_2، لا نأخذ بعين الاعتبار الاحتفاظ من الرتبة السابقة

الحل :

جدول الحقيقة :

a_2	b_2	S_2	r_2
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

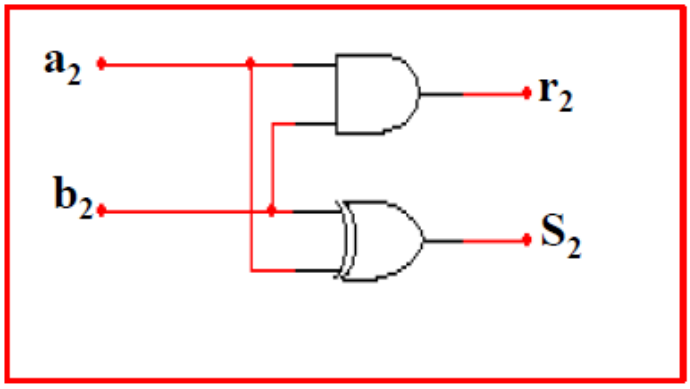
المعادلات :

$$S_2 = \bar{a}_2.b_2 + a_2.\bar{b}_2$$

$$S_2 = a_2 \oplus b_2$$

$$r_2 = a_2 . b_2$$

التصميم المنطقي :



demi-add.ms13

نسمي العملية السابقة بالنصف جامع : و الذي يحقق الجمع المنطقي لعددين A و B من أجل بيت (Bit) واحد فقط بدون الأخذ بعين الاعتبار الإحتفاظ من الرتبة السابقة

بصفة عامة :

نشاط 2 : من أجل نفس العددين السابقين :

$$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$$

$$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$$

انجز التصميم الالكتروني الذي يمكننا من جمع بيتين a_2 مع b_2، مع الأخذ بعين الاعتبار الاحتفاظ من الرتبة السابقة

الحل :

r_4	r_3	r_2	r_1	$r_0 = 0$
	a_4	a_3	a_2	a_1
+	b_4	b_3	b_2	b_1
r_4	s_4	s_3	s_2	s_1

r_{i-1}	
a_i	
+ b_i	
r_i	s_i

جدول الحقيقة :

a_2	b_2	r_1	S_2	r_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

المعادلات :

S_2

a_2 \ b_2r_1	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$S_2=\bar{a}_2(\bar{b}_2.r_1+b_2.\bar{r}_1)+a_2(\bar{b}_2.\bar{r}_1+b_2.r_1)$$

$$S_2=a_2\oplus b_2\oplus r_1$$

r_2

a_2 \ b_2r_1	00	01	11	10
0	0	0	1	0
1	0	1	1	1

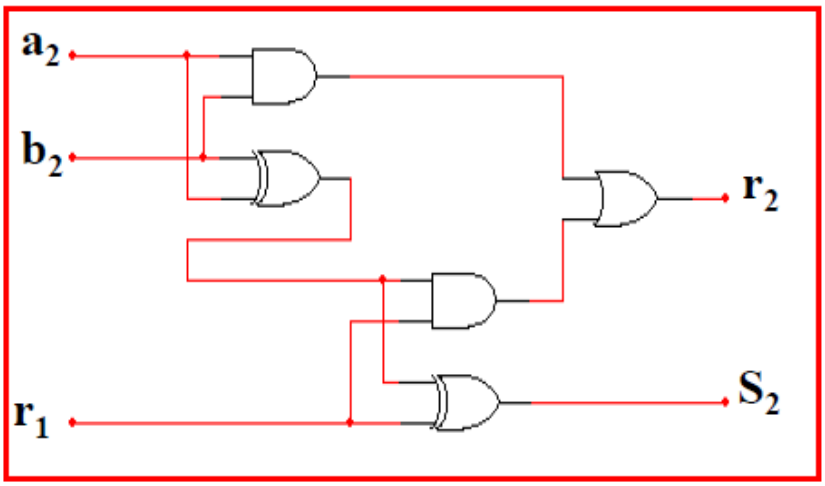
$$r_2=r_1(a_2+b_2)+a_2.b_2$$

$$r_2=\bar{a}_2.b_2.r_1+a_2.\bar{b}_2.r_1+a_2.b_2.\bar{r}_1+a_2.b_2.r_1$$

$$r_2=r_1(\bar{a}_2.b_2+a_2.\bar{b}_2)+a_2.b_2(\bar{r}_1+r_1)$$

$$r_2=r_1(a_2\oplus b_2)+a_2.b_2$$

التصميم المنطقي :



add-comp.ms13

نسمي العملية السابقة بالجامع الكامل : و الذي يحقق الجمع المنطقي لعددين A و B من أجل n بيت مع الأخذ بعين الاعتبار الإحتفاظ من الرتبة السابقة

بصفة عامة :

نشاط 3 : نريد انجاز جامع كامل انطلاقا من نصف جامع:

الحل :

لدينا : $r_i = a_i.b_i + r_{i-1}.(b_i \oplus a_i)$

$S_i = a_i \oplus b_i \oplus r_{i-1}$

نضع : $Y = a_i b_i$ $\quad X = a_i \oplus b_i$

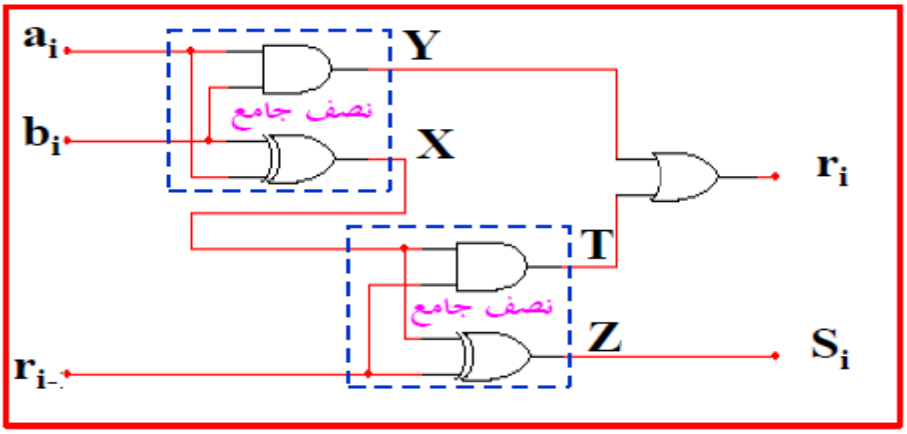
نتحصل على : $r_i = Y + r_{i-1}.X$ $\quad S_i = X \oplus r_{i-1}$

نضع : $T = r_{i-1}.X$ $\quad Z = X \oplus r_{i-1}$

نتحصل على : $r_i = Y + T$ $\quad S_i = Z$

نلاحظ أن : ❖ **X** و **Y** مخارج لنصف جامع ذو مدخلين **a** و **b**

❖ **Z** و **T** مخارج لنصف جامع ذو مدخلين **X** و r_{i-1}

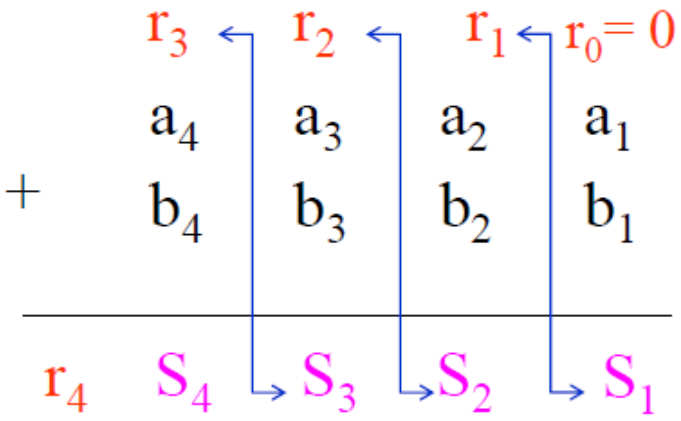


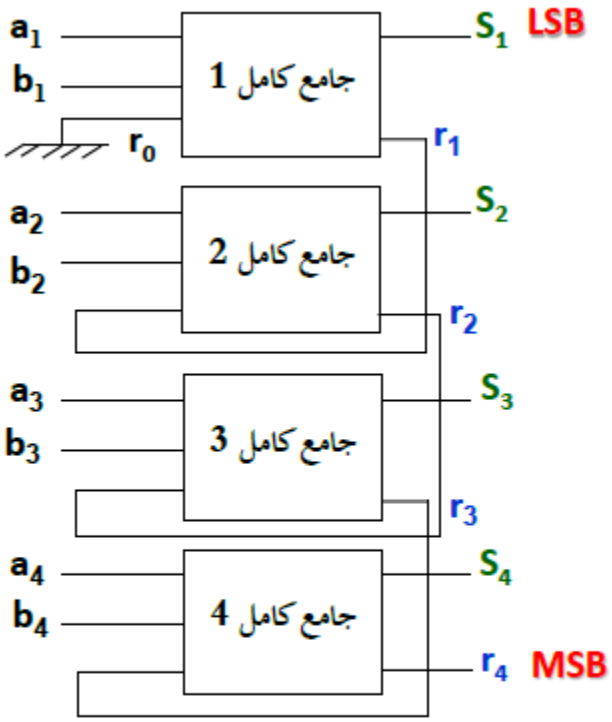
نشاط 4 : من أجل نفس العددين السابقين : $A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$

$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$

نريد انجاز التصميم الالكتروني الذي يمكننا من جمع العددين **A** و **B** ، ماهي الطريقة التي تمكننا من ذلك ؟

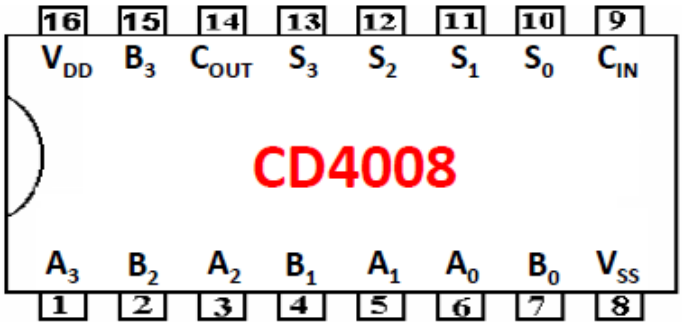
الحل :

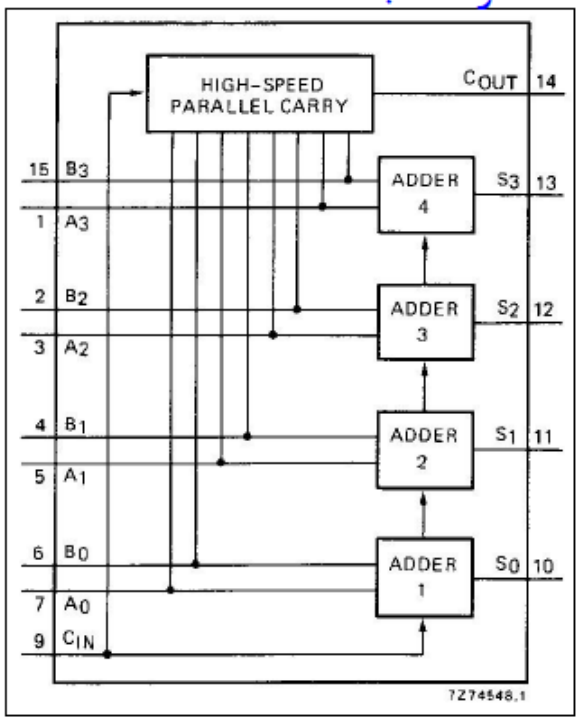




هناك حل تكنولوجي آخر و هو استعمال الدارة المدمجة : SN7483 أو CD4008

الدارة المندمجة 4008 :





INPUTS			OUTPUTS	
C_{IN}	A	B	C_{OUT}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

- (A_0 , A_3) : المدخل A ، (B_0 , B_3) : المدخل B
- (S_0 , S_3) : المجموع (A+B)
- (C_{OUT} , C_{IN}) : الإحتفاظ

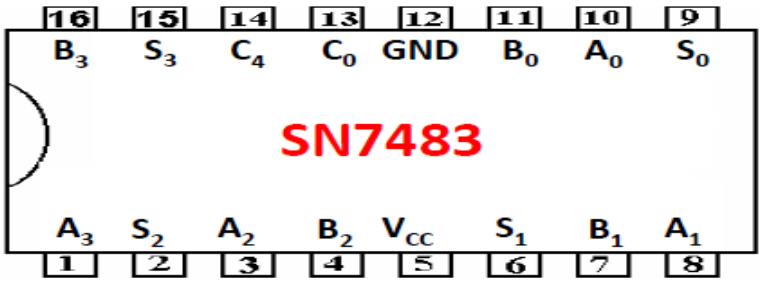
نشاط 5 :

باستعمال البرنامج **Multisim**، حقق التركيب القاعدي

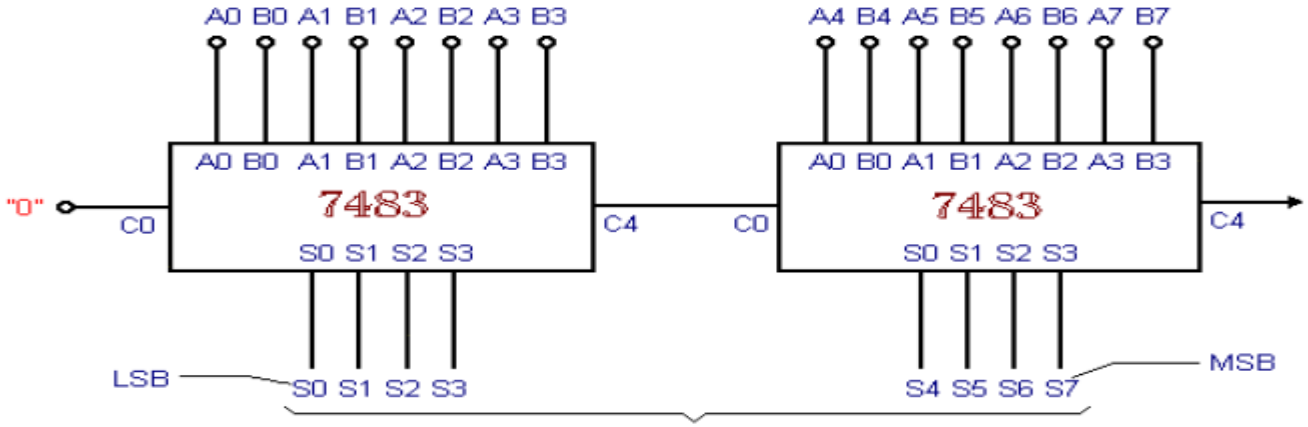
نشاط 6 : باستعمال البرنامج **Multisim**:

نريد انجاز جامع بـ 8 أبيات بالدارة المدمجة **SN7483** ، انجز التركيب المناسب

INPUTS			OUTPUTS	
C_0	A	B	C_4	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



- (A_0 , A_3) : المدخل A ، (B_0 , B_3) : المدخل B
- (S_0 , S_3) : المجموع (A+B)
- (C_4 , C_0) : الإحتفاظ



الطارح :

نشاط 7 : من أجل نفس العددين السابقين :

$$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$$

$$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$$

انجز التصميم الالكتروني الذي يمكننا من طرح b_2 من a_2:

أ/ لا نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

ب/ نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

الحل :

أ/ لا نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

جدول الحقيقة : D2 :النتيجة ، C2: المستعار

a_2	b_2	c_2	D_2
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

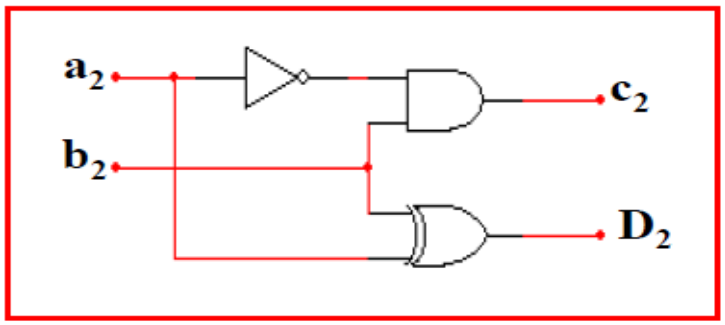
المعادلات :

$$D_2 = \overline{a}_2.b_2 + a_2.\overline{b}_2$$

$$D_2 = a_2 \oplus b_2$$

$$c_2 = \overline{a}_2.b_2$$

التصميم المنطقي :



نسمي العملية السابق بالنصف طارح : و الذي يحقق الطرح المنطقي لعددين A و B من أجل بيت (Bit) واحد فقط بدون الأخذ بعين الاعتبار استعارة الرتبة السابقة

بصفة عامة :

ب/ نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

$$\begin{array}{r} a_i \\ - \quad b_i \\ \quad c_{i-1} \\ \hline D_i \end{array}$$

$$\begin{array}{r} a_4 \quad c_3 a_3 \quad c_2 a_2 \quad c_1 a_1 \\ - \quad b_4 \quad b_3 \quad b_2 \quad b_1 \\ \quad c_3 \quad c_2 \quad c_1 \quad c_0 = 0 \\ \hline D_4 \quad D_3 \quad D_2 \quad D_1 \end{array}$$

جدول الحقيقة :

a_2	b_2	c_1	D_2	c_2
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

المعادلات :

D_2 : a_2 \ b_2c_1	00	01	11	10
0	0	1	0	1
1	1	0	1	0

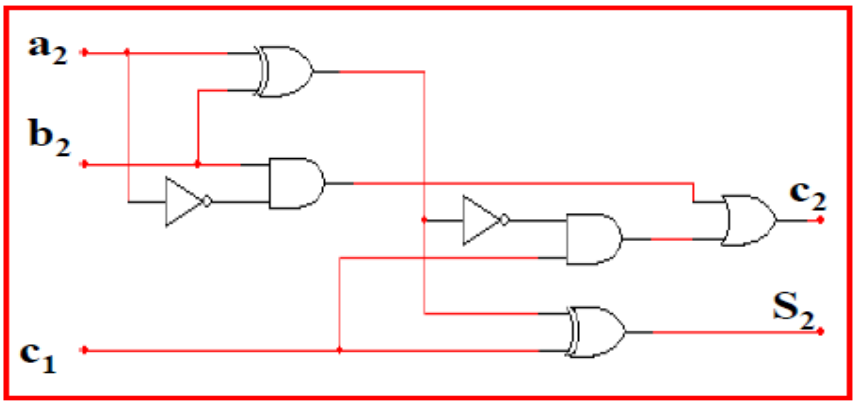
$$D_2 = \bar{a}_2(\bar{b}_2.c_1 + b_2.\bar{c}_1) + a_2(\bar{b}_2.\bar{c}_1 + b_2.c_1)$$
$$D_2 = a_2 \oplus b_2 \oplus c_1$$

c_2 : a_2 \ b_2c_1	00	01	11	10
0	0	1	1	1
1	0	0	1	0

$$c_2 = \bar{a}_2(b_2 + c_1) + b_2.c_1$$

$$c_2 = \bar{a}_2.\bar{b}_2.c_1 + \bar{a}_2.b_2.\bar{c}_1 + \bar{a}_2.b_2.c_1 + a_2.b_2.c_1$$
$$c_2 = \bar{a}_2(\bar{b}_2.c_1 + b_2.\bar{c}_1) + b_2.c_1(\bar{a}_2 + a_2)$$
$$c_2 = \bar{a}_2(b_2 \oplus c_1) + b_2.c_1$$

التصميم المنطقي :



نسمي العملية السابق بالطارح الكامل : و الذي يحقق الطرح المنطقي لعددين **A** و **B** من أجل **n** بيت مع الأخذ بعين الاعتبار استعارة الرتبة السابقة

بصفة عامة :

نشاط 3 : نريد انجاز جامع كامل انطلاقا من نصف جامع:

الحل :

لدينا : $c_i = b_i.c_{i-1} + \overline{a}_i.(b_i \oplus c_{i-1})$

$D_i = a_i \oplus b_i \oplus c_{i-1}$

نضع : $Y = b_i c_{i-1}$ $\quad X = b_i \oplus c_{i-1}$

نتحصل على : $c_i = Y + \overline{a}_i.X$ $\quad D_i = a_i \oplus X$

نضع : $T = \overline{a}_i.X$ $\quad Z = X \oplus a_i$

نتحصل على : $r_i = Y + T$ $\quad S_i = Z$

نلاحظ أن :
- ❖ **X** و **Y** مخارج لنصف جامع ذو مدخلين **a** و **b**
- ❖ **Z** و **T** مخارج لنصف جامع ذو مدخلين **X** و r_{i-1}